



リアルタイム通信 Responsive Link (RL)

～時間制約を守るネットワーク～

慶應義塾大学 山崎研究室

E-mail: contact@ny.ics.keio.ac.jp

URL: <https://ny.ics.keio.ac.jp/>

リアルタイムシステム：時間を守ることによって動作するシステム

- 時間制約（デッドライン、周期等）を優先度に変換し
プリエンプティブに実行
- プリエンプション：ある処理/通信を中断し別の処理/通信を実行すること

世界で初めて通信におけるプリエンプションをパケット 追い越しによって実現 → リアルタイム通信を実現

- ・用途
 - フィジカル AI (ヒューマノイド) (図2)
- ・優先度におけるパケットの追い越し
- ・高優先度パケットは低優先度パケットを追い越し
- ・パケットの優先度を通信ノードごとに付け替え可能
- ・データ通信(64Byte)とイベント通信(16Byte)の分離
 - データ通信：バンド幅保証によるソフトリアルタイム通信の実現
 - イベント通信：レイテンシ保証のハードリアルタイム転送
- ・柔軟なルーティング(図4)
 - データとイベントの独立したルーティング
 - 全く同じネットワークアドレス(送信元アドレスと送信先アドレス)を持つパケットの経路を優先度に応じて別々に設定および変更することによって専用回線や迂回路を実現可能
- トポロジーフリー
- point-to-point
- 分散管理型で同時に接続可能なノード数大
- ・国際標準化
 - ISO/IEC 24740:2008
- ・各種コーデックの組合せ
 - {RS}, {BCH, HAM}, {BS+NRZI, 8b/10b, 4b/10b}
 - 誤り検出・訂正機能を備えたDependable line code: 4b/10b (図5)
 - IEC 63455:2025
 - 特許第7893420号
 - EPC国際特許出願22 880 921.6号

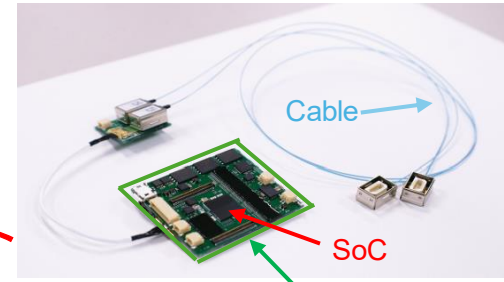


図1 Optical Responsive Link Cable

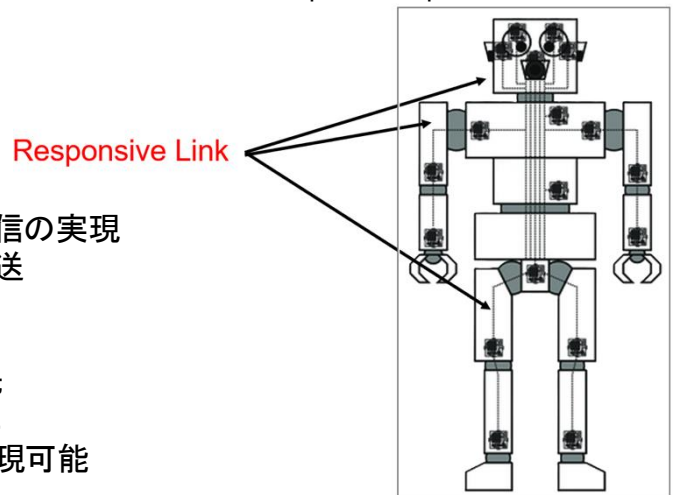


図2 応用例: フィジカル AI (ヒューマノイド)

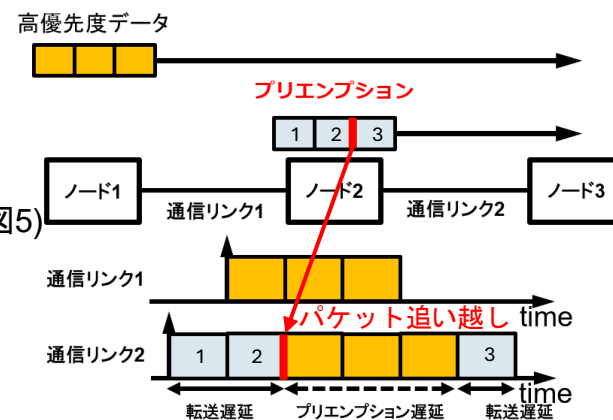


図3 スケジューリング例

- ・ Responsive Linkの低レベル通信
 - 媒体：ツイストペア(差動型)及び光ファイバ
 - Forward Error Correction (FEC)
 - リンク速度可変
 - DPLL (Digital Phase-Lock-Loop)
 - 同期フレーム (Setup Pattern)
- ・ 特許第340080号：分散管理通信方法及び装置

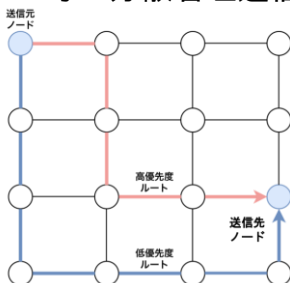


図4 優先度によるルーティング

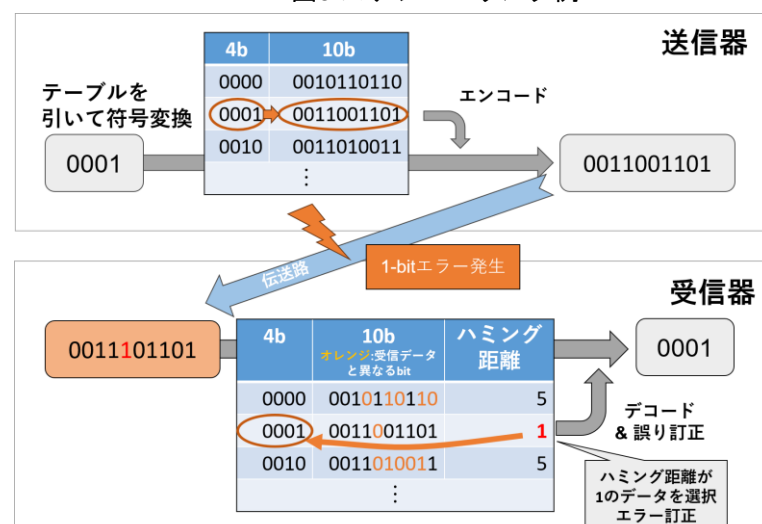


図5 4b/10bを使った伝送と誤り訂正

ノンストッププロセッサ NVIOC SoC/SiP

～電源が頻繁にON/OFFされても動作継続可能なプロセッサ～

- ・ **世界初のノンストッププロセッサ(CPU)**
 - 意図せず電源が切れてしまっても電源復旧後に何事もなかったかのように動作を継続
- ・ プロセッサ上の全ての記憶素子を不揮発性記憶素子で構成
 - 不揮発性FF(Flip-Flop): NVFF (Non-Volatile FF)
 - **不揮発性デバイスコントローラ(NVFFM)**
 - 主記憶: 不揮発性メモリ(MRAM)
- ・ **NVFF**: MTJ (Magnetic Tunnel Junction) (図7)で構成
 - 2つのレイヤの磁気方向によって値を保持する不揮発性素子
- ・ 定期的にパイプライン単位の粒度で不揮発性チェックポイントを作成
- ・ 電源遮断された場合、電源復帰後に短時間でチェックポイントを復元
- ・ **Point-to-Point I/O**に対してもCPUのN重冗長を可能に
 - 1つのI/Oに対して複数のCPUをバス型接続
 - 外部ピンにより各チップの入出力をHiZ制御可能
- ・ **Micro reset**: CPU及び各I/Oを細粒度にリセット可能
- ・ ECC付SRAM、ECCキャッシュ
- ・ 特開2024-155088、特開2024-155089

本研究の一部はソニーセミコンダクタソリューションズ株式会社との共同研究によって実施されました

分散リアルタイム処理用SoC/SiP **RMTP**

Responsive Multithreaded Processor

リアルタイム処理とリアルタイム通信に必要なI/Oを集積したSoC/SiP

- リアルタイム処理CPUコア: **RMT PU**
- リアルタイム処理/通信: 時間制約(デッドラインや周期)を優先度に変換し、優先度に基づいてプリエンプションを行いながら処理/通信
- ・ **分散リアルタイム処理に必要な機能を1チップに集積したSoC**
- リアルタイム処理CPUコア: **RMT PU**
 - **リアルタイム実行機構**(RMT実行) (図10)
 - コンテキストスイッチの除去 (図9)
 - (優先度付SMT実行に変換)
 - **優先度順に8スレッド同時実行**
 - **優先度(256レベル)によるスレッド制御機構**
 - **スレッド速度制御機構(IPC制御機構)** (図12)
 - **コンテキストキャッシュ**(32エン트리)
 - マルチメディア演算ユニット
 - **2次元ベクトル(行列)演算ユニット(Int, FP)**
 - 複数スレッドでベクトルレジスタを共有
 - **トレース機構**
- ・ リアルタイム通信機構: **Responsive Link**
- ・ 制御用I/O
 - SPI
 - PWM input
 - PWM Generator
 - Pulse Counter等
- ・ 宇宙空間でも使用可能なDependable機構
 - ECC付SRAM, キャッシュ: 1bit誤り訂正
 - ECC付DRAM: 1Byte誤り訂正
- ・ 低消費電力機構
 - IPブロック単位のDVFS (動的電圧周波数制御機構)
 - 低消費電力セル (HighVt)と高性能セル(LowVt)を用いた複合設計
- ・ 消費電力: 0.1~1W
- ・ 特許第5145936号: マルチスレッド中央演算装置および同時マルチスレッディング制御方法

赤字: IPとして供給可能
青字: 方式として供給可能

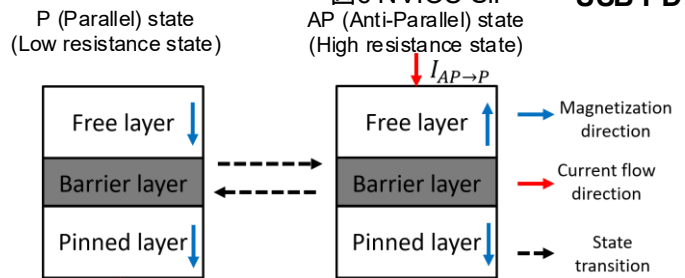
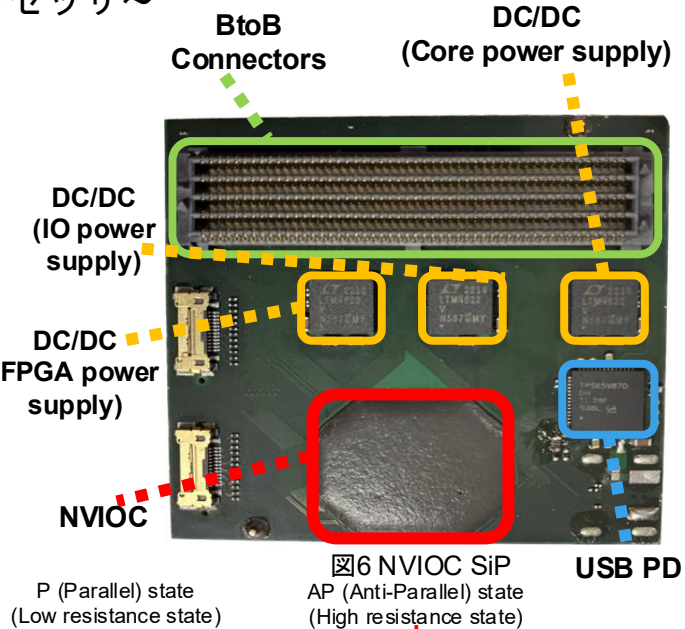


図7 MTJ (Magnetic Tunnel Junction)

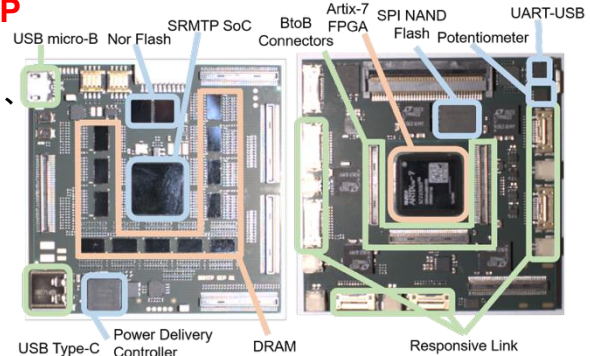


図8 SRMT SiP

8スレッド同時実行
(8論理コア)
40スレッド並列実行

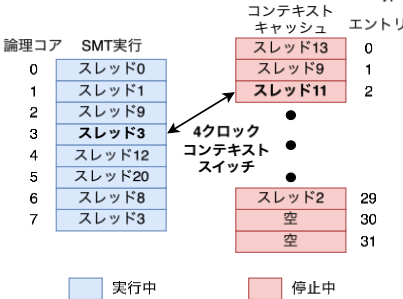


図9 コンテキストスイッチ

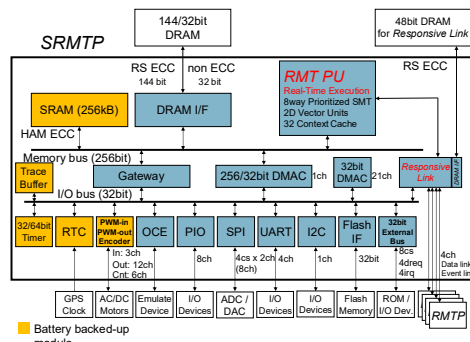


図11 SRMT SoC ブロック図

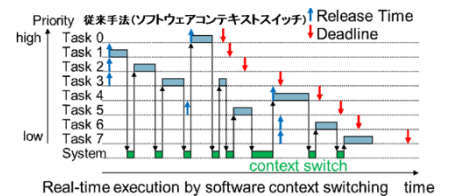


図10 優先度付SMT実行

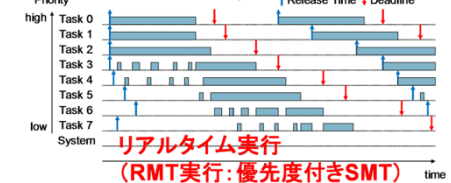


図12 IPC制御

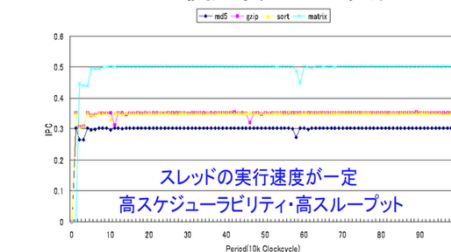


図13 リアルタイム実行 (RMT実行: 優先度付きSMT)